

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: **1020020036191 A**(43)Date of publication of application: **16.05.2002**(21)Application number: **1020000066238**(71)Applicant: **AMKOR TECHNOLOGY KOREA, INC.**(22)Date of filing: **08.11.2000**(72)Inventor: **BAEK, JONG SIK  
JUNG, YEONG SEOK  
PARK, IN BAE  
SEO, SEONG MIN**

(51)Int. Cl.

**H01L 23/48****(54) SEMICONDUCTOR PACKAGE AND FABRICATING METHOD THEREOF**

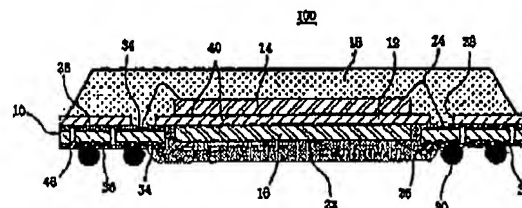
exposed to the lower surface of the PCB.

© KIPO 2002

(57) Abstract:

**PURPOSE:** A semiconductor package is provided to reduce the thickness of a semiconductor package, by stacking semiconductor chips of the same size on both sides of a thin heat spreader without using an interposer.

**CONSTITUTION:** A hole(28) is formed in an inner portion of a four-sides edge of the heat spreader(12). A cavity is formed in the center of a printed circuit board(PCB)(10). The PCB is attached to the lower surface of the heat spreader, covering the hole. A lower chip(16) is attached to the center of the lower surface of the heat spreader exposed to the cavity of the PCB by using an adhesive member. The second wire(26) connects a bonding pad of the lower chip with a conductive pattern(34) for wire bonding exposed to the lower surface of the PCB. An upper chip(14) is attached to the center of the upper surface of the heat spreader by using an adhesive member. The first wire(24) connects the conductive pattern for wire bonding on the upper surface of the PCB exposed through the hole of the heat spreader with the bonding pad of the upper chip. Resin(18) molds the upper chip, the first wire and the upper surface of the heat spreader. A coating material(22) encapsulates the lower chip, the second wire and the conductive pattern for wire bonding on the lower surface of the PCB. A withdraw terminal(30) is attached to the conductive pattern(36) for a ball land



# (19) 대한민국특허청 (KR)

## (12) 등록특허공보 (B1)

(51) 。 Int. Cl. 7  
H01L 23/48

(45) 공고일자 2002년06월22일  
(11) 등록번호 10 - 0341517  
(24) 등록일자 2002년06월10일

(21) 출원번호 10 - 2000 - 0066238  
(22) 출원일자 2000년11월08일

(65) 공개번호 특2002 - 0036191  
(43) 공개일자 2002년05월16일

(73) 특허권자 애플 테크놀로지 코리아 주식회사  
마이클 디. 오브라이언  
광주 북구 대촌동 957

(72) 발명자 백종식  
서울특별시동대문구답십리5동678번지  
서성민  
서울특별시송파구거여동258 - 43  
정영석  
서울특별시서초구방배3동경남@7동501호  
박인배  
서울특별시강동구천호동현대APT102 - 205호

(74) 대리인 허상훈

심사관 : 오세계

### (54) 반도체 패키지 및 그 제조방법

#### 요약

본 발명은 동일한 크기의 반도체 칩을 적층하여 이루어진 새로운 구조의 반도체 패키지 및 그 제조방법에 관한 것으로서, 종래에 동일칩 적층시 칩 사이에 위치시켜 사용하던 인터포저를 배제하고, 사방에 홀이 형성된 히트 스프레더의 상하면에 동일한 크기의 반도체 칩을 적층하여 이루어진 새로운 구조의 반도체 패키지 및 그 제조방법을 제공하고자 한 것이다.

이에, 종래에 칩 적층시 사용하던 인터포저를 배제하고, 동일한 크기의 반도체 칩이 얇게 성형된 히트 스프레더를 사이에 두고 적층되므로, 반도체 패키지의 두께를 줄일 수 있고, 또한 종래의 인터포저를 이용하여 제조된 칩 적층형 반도체 패키지의 제조장비와 공정라인을 그대로 사용 가능하여, 반도체 패키지의 제조비용을 절감할 수 있으며, 또한 상기 히트 스프레더는 열전도성의 재질이기 때문에, 그 측면이 외부로 노출됨에 따라, 반도체 칩에서 발생하는 열을 용이하게 방출시킬 수 있는 효과를 제공하게 된다.

대표도

도 2

색인어

반도체 패키지, 적층, 상부칩, 하부칩, 히트 스프레더

명세서

도면의 간단한 설명

도 1a,1b는 본 발명에 따른 반도체 패키지 제조방법을 순서에 맞게 연속적으로 나타낸 단면도,

도 2는 본 발명에 따른 반도체 패키지를 나타내는 단면도,

도 3은 본 발명에 따른 반도체 패키지에 적용되는 히트 스프레더를 보여주는 사시도,

도 4a,4b는 본 발명에 따른 반도체 패키지 제조방법의 다른 실시예를 순서에 맞게 연속적으로 나타낸 단면도,

도 5는 종래에 동일한 크기의 반도체 칩이 적층된 구조의 반도체 패키지를 나타내는 단면도.

< 도면의 주요 부분에 대한 부호의 설명

10 : 인쇄회로기판 12 : 히트 스프레더 (heat spreader)

14 : 상부칩 16 : 하부칩

18 : 수지 22 : 코팅재

24 : 제1와이어 26 : 제2와이어

28 : 홀 30 : 인출단자

32 : 수지층 34 : 와이어 본딩용 전도성패턴

36 : 볼랜드용 전도성패턴 38 : 커버코트

40 : 접착수단 42 : 캐비티 (cavity)

44 : 인터포저 46 : 비아홀

100,200 : 반도체 패키지

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지 및 그 제조방법에 관한 것으로서, 더욱 상세하게는 동일한 크기의 반도체 칩을 적층하여 이루어진 새로운 구조의 반도체 패키지 및 그 제조방법에 관한 것이다.

통상적으로 반도체 패키지는 반도체 칩 자체만으로는 외부로부터 전기를 공급받아 전기 신호를 전달해 주거나 전달 받을 수 없기 때문에, 반도체 칩의 각종 전기적인 신호를 외부로 용이하게 인출시키기 위하여 칩을 패키징하는 기술로서, 최근에는 칩의 크기 축소, 열방출 능력 및 전기적 수행능력 향상, 신뢰성 향상, 제조비용 등을 고려하면서, 리드프레임, 인쇄회로기판, 회로필름등의 각종 부재를 이용하여 다양한 구조로 제조되고 있다.

특히, 최근에는 다수개의 칩을 적층한 구조의 반도체 패키지로서, 서로 다른 크기 또는 동일한 크기의 반도체 칩을 적층한 구조의 반도체 패키지의 개발이 계속요구되고 있다.

따라서, 종래에는 동일한 크기의 반도체 칩이 적층된 구조의 반도체 패키지를 제조함에 있어서, 첨부한 도 5에 도시한 바와 같이, 적층될 상하 칩 사이에 인터포저(44)와 같은 비전도성 소재를 끼워넣어 적층되는 칩 사이의 상하 간격을 유지하고, 각각 위쪽을 향해 위치된 칩의 본딩패드와 부재의 본딩영역간을 와이어로 본딩하여 반도체 패키지(200)를 제조함에 따라, 인터포저에 의한 반도체 패키지의 두께가 증가하는 단점이 있고, 하부칩의 본딩패드와 부재의 본딩영역간을 연결하고 있는 와이어는 바로 위의 상부칩과의 간섭이 일어나, 와이어의 손상을 초래하는 단점이 있었다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 점을 감안하여 안출한 것으로서, 종래의 인터포저를 배제하고, 사방에 관통된 홀을 갖는 히트 스프레더를 구비하고, 이 히트스프레더에 캐비티가 형성된 인쇄회로기판을 부착하여, 히트 스프레더의 상하면에 동일한 크기의 반도체 칩을 인쇄회로기판과 신호교환 가능하게 부착하여 이루어진 새로운 구조의 반도체 패키지 및 그 제조방법을 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명의 반도체 패키지는:

사방 테두리 안쪽 부분에 홀이 형성된 히트 스프레더와; 상기 히트 스프레더의 저면에 홀을 가리면서 부착되고, 중앙에 캐비티가 형성된 인쇄회로기판과; 상기 인쇄회로기판의 캐비티로 노출된 히트 스프레더 저면 중앙부에 접촉수단에 의하여 부착된 하부칩과; 상기 하부칩의 본딩패드와 상기 인쇄회로기판의 저면으로 노출된 와이어 본딩용 전도성패턴간에 연결된 제2와이어와; 상기 히트 스프레더의 상면 중앙부에 접촉수단에 의하여 부착된 상부칩과; 상기 히트스프레더의 홀을 통하여 노출된 인쇄회로기판 상면의 와이어 본딩용 전도성패턴과 상기 상부칩의 본딩패드간에 연결된 제1와이어와; 상기 상부칩과, 제1와이어와, 히트 스프레더의 상면등을 몰딩하고 있는 수지와; 상기 하부칩과, 제2와이어와, 인쇄회로기판 저면의 와이어 본딩용 전도성패턴등을 인캡슐레이션하고 있는 코팅재와; 상기 인쇄회로기판의 저면으로 노출된 볼랜드용 전도성패턴에 부착된 인출단자로 구성된 것을 특징으로 한다.

본 발명의 바람직한 구현예로서, 상기 히트 스프레더에 형성된 홀은 동일한 형상을 갖으며 4개의 영역으로 대칭 분할된 것을 특징으로 한다.

본 발명의 또 다른 구현예로서, 상기 인쇄회로기판의 캐비티의 깊이는 하부칩의 두께보다 크게 형성된 것을 특징으로 한다.

또한, 상기 인출단자는 전도성의 솔더볼인 것을 특징으로 한다.

상기한 목적을 달성하기 위한 본 발명의 반도체 패키지 제조방법은:

사방 테두리 안쪽 부분에 홀이 대칭 분할되어 형성된 히트 스프레더를 구비하고, 중앙에 캐비티가 형성된 인쇄회로기판

을 제공하는 단계와; 상기 히트 스프레더의 저면에 홀을 가리면서 상기 인쇄회로기판을 부착하는 단계와; 상기 히트 스프레더의 상면 중앙부에 상부칩을 접착수단을 사용하여 부착하는 단계와; 상기 히트 스프레더의 홀을 통하여 노출된 인쇄회로기판 상면의 와이어 본딩용 전도성패턴과, 상기 상부칩의 본딩패드간을 제1와이어로 본딩하는 단계와; 상기 상부칩과, 제1와이어와, 히트 스프레더의 상면과, 인쇄회로기판 상면의 와이어 본딩용 전도성패턴등을 수지로 몰딩하는 단계와; 상기 인쇄회로기판의 캐비티를 통하여 노출된 히트 스프레더의 저면 중앙부에 접착수단을 사용하여 하부칩을 부착하는 단계와; 상기 인쇄회로기판의 저면으로 노출된 와이어 본딩용 전도성패턴과, 상기 하부칩의 본딩패드간을 제2와이어로 본딩하는 단계와; 상기 하부칩과, 제2와이어와, 인쇄회로기판의 저면으로 노출된 와이어 본딩용 전도성패턴등을 코팅재로 인캡슐레이션하는 단계와; 상기 인쇄회로기판의 저면으로 노출된 볼랜드용 전도성패턴에 인출단자를 부착하는 단계로 이루어진 것을 특징으로 한다.

본 발명의 바람직한 구현예로서, 상기 인쇄회로기판의 캐비티를 통하여 노출된 상기 히트 스프레더의 저면 중앙부에 접착수단을 사용하여 하부칩을 부착하는 단계가 상기 히트 스프레더의 상면 중앙부에 상부칩을 부착하는 단계 이전에 진행될 수 있도록 한 것을 특징으로 한다.

여기서, 본 발명을 실시예를 첨부한 도면에 의거하여 더욱 상세하게 설명하면 다음과 같다.

본 발명의 반도체 패키지를 제조하기 위하여, 히트 스프레더(12)를 구비하는 단계와, 중앙에 캐비티(42)가 형성된 인쇄회로기판(10)을 제공하는 단계가 먼저 선행되어야 한다.

상기 히트 스프레더(12)는 열전도성 재질로 얇은 판형 구조로 제작된 것으로서, 첨부한 도 3에 도시한 바와 같이, 사방 테두리 안쪽 부분에 동일한 크기를 갖으며 길다랗게 관통된 4개의 홀(28)이 서로 대칭을 이루며 형성되어 있다.

또한, 상기 인쇄회로기판(10)은 베이스층인 수지층(32)과, 이 수지층(32)의 상하면에 에칭에 의하여 형성된 전도성패턴과, 상기 전도성패턴중 와이어 본딩용 전도성패턴(34)과 볼랜드용 전도성패턴(36)등을 노출시키면서 상기 수지층(32)에 도포된 커버코트(38)로 구성되어 있는 것으로서, 그 중앙면에는 대략 사각 모양의 캐비티(42)가 형성된다.

좀 더 상세하게는, 상기 인쇄회로기판(10)의 상면과 저면에서 캐비티(42)와 인접된 영역에 와이어 본딩용 전도성패턴(34)이 노출되어 있고, 또한 저면에는 볼랜드용 전도성패턴(36)이 가로 및 세로방향으로 등간격을 이루며 노출되어 있다.

또한, 상기 인쇄회로기판(10)의 수지층(32) 상면의 와이어 본딩용 전도성패턴(34)과, 저면의 볼랜드용 전도성패턴(36)은 전도성물질로 그 내면이 코팅된 비아홀(46)로 서로 연결되어 있다.

여기서, 도 1a, 1b에 도시한 바와 같이 상기 히트 스프레더(12)의 저면에 인쇄회로기판(10)을 부착하는 단계(110)를 진행시키는 바, 상기 인쇄회로기판(10)은 히트 스프레더(12)의 홀(28)을 가리면서 부착된다.

이때, 상기 인쇄회로기판(10)의 상면으로 노출되어 있는 와이어 본딩용 전도성패턴(34)은 상기 히트 스프레더(12)의 홀(28)을 통하여 위쪽으로 노출된 상태가 되고, 상기 히트 스프레더(12)의 저면 중앙부는 인쇄회로기판(10)의 캐비티(42)를 통하여 노출된 상태가 된다.

다음으로, 상기 히트 스프레더(12)의 상면 중앙부에 상부칩(14)을 에폭시 수지 또는 접착테이프등과 같은 접착수단(40)을 사용하여 부착하는 단계(120)를 진행시킨다.

이어서, 상기 히트 스프레더(12)의 홀(28)을 통하여 노출된 상태인 인쇄회로기판(10) 상면의 와이어 본딩용 전도성패턴(34)과, 상기 상부칩(14)의 본딩패드간을 제1와이어(24)로 본딩하는 단계(130)를 진행하게 된다.

다음 단계로서, 상기 상부칩(14)과, 제1와이어(24)와, 히트 스프레더(12)의 상면과, 인쇄회로기판(10) 상면의 와이어 본딩용 전도성패턴(34)등을 수지(18)로 몰딩하는 단계(140)를 진행하게 된다.

상기 몰딩수지가 경화된 후, 상기 인쇄회로기판(10)의 캐비티(42)를 통하여 노출되어 있는 히트 스프레더(12)의 저면 중앙부에 접착수단(40)을 사용하여 하부칩(16)을 부착하는 단계(150)를 진행시키게 된다.

이때, 상기 하부칩(16)의 두께는 인쇄회로기판(10)의 캐비티(42) 깊이보다 작은 것을 부착하여, 후술하는 인캡슐레이션 공정시 코팅재가 얇게 도포되도록 한다.

다음으로, 상기 하부칩(16)의 본딩패드와, 상기 인쇄회로기판(10)의 저면으로 노출된 와이어 본딩용 전도성패턴(34)간을 제2와이어(26)로 본딩하는 단계(160)를 진행하게 된다.

이어서, 상기 하부칩(16)과, 제2와이어(26)와, 상기 인쇄회로기판(10)의 캐비티(42)와 와이어 본딩용 전도성패턴(34)등을 코팅재(22)로 인캡슐레이션하는 단계(170)를 진행하게 된다.

마지막으로, 상기 인캡슐레이션 된 코팅재(22)의 주변 측, 인쇄회로기판(10)의 상면으로 노출된 볼랜드용 전도성패턴(36)에 솔더볼과 같은 인출단자(30)를 부착하는 단계(180)를 진행시킴으로써, 첨부한 도 2에 도시한 바와 같은 구조의 반도체 패키지(100)로 제조된다.

여기서, 본 발명에 따른 반도체 패키지 제조방법의 다른 실시예를 첨부한 도 4a,4b를 참조로 설명하면 다음과 같다.

최종적으로 제조된 구조는 상술한 일실시예와 동일하고, 그 제조방법중 하부칩(16)을 부착하는 단계(150)를 먼저 진행하는 점에서 다소 차이가 있다.

상술한 바와 같이, 상기 히트 스프레더(12)의 저면에 캐비티(42)가 형성된 인쇄회로기판(10)을 부착하게 되면, 상기 인쇄회로기판(10) 상면의 와이어 본딩용 전도성패턴(34)은 상기 히트 스프레더(12)의 홀(28)을 통하여 위쪽으로 노출된 상태가 되고, 상기 히트 스프레더(12)의 상면 중앙부는 상기 인쇄회로기판(10)의 캐비티(42)를 통하여 아래쪽으로 노출된 상태가 된다.

따라서, 상기 인쇄회로기판(10)의 캐비티(42)를 통하여 노출되어 있는 히트 스프레더(12)의 저면 중앙부에 하부칩(16)을 접착수단(40)으로 부착하는 단계(150)를 먼저 진행하게 된다.

이때, 상기 하부칩(16)의 두께는 상기 캐비티(42)의 깊이보다 작기 때문에, 하부칩(16)은 인쇄회로기판(10)의 캐비티(42)내에 위치된 상태가 된다.

그 다음으로, 상술한 일실시예와 동일한 공정을 진행하게 되는 바, 상기 상부칩(14)을 부착하는 단계(120)와; 상기 상부칩(14)의 본딩패드와 상기 히트 스프레더(12)의 홀(28)을 통하여 노출된 인쇄회로기판(10) 상면의 와이어 본딩용 전도성패턴(34)간을 제1와이어(24)로 본딩하는 단계(130)와; 상기 상부칩(14)과, 제1와이어(24)와, 히트 스프레더(12)의 상면과, 인쇄회로기판(10) 상면의 와이어 본딩용 전도성패턴(34)등을 수지(18)로 몰딩하는 단계(140)와; 상기 인쇄회로기판(10)의 저면으로 노출된 와이어 본딩용 전도성패턴(34)과, 상기 하부칩(16)의 본딩패드간을 제2와이어(26)로 본딩하는 단계(160)와; 상기 하부칩(16)과, 제2와이어(26)와, 인쇄회로기판(10)의 저면으로 노출된 와이어 본딩용 전도성패턴(34)등을 코팅재(22)로 인캡슐레이션하는 단계(170)와; 마지막으로 상기 인쇄회로기판(10)의 저면으로 노출된 볼랜드용 전도성패턴(36)에 전도성의 솔더볼과 같은 인출단자(30)를 부착하는 단계(180)를 거침으로써, 상술한 일실시예와 동일한 구조를 갖는 반도체 패키지(100)로 제조된다.

한편, 상기와 같이 하부칩(16)을 먼저 부착시킨 상태에서 상부칩(14)의 부착공정과, 상부칩(14)의 와이어 본딩공정과, 상부칩(14)을 포함하는 몰딩공정등을 진행하게 되면, 각 공정간의 작업수단에 의한 외부력이 상기 히트 스프레더(12)를 사이에 두고 있는 하부칩(16)에 전달되어진다.

그러나, 상기 하부칩(16)은 인쇄회로기판(10)의 캐비티(42)내에 위치된 상태이기 때문에 상기 외부력의 영향에도 캐비티(42)의 밖으로 돌출되지 않고, 상기 외부력을 용이하게 견딜 수 있게 된다.

또한, 상기 반도체 패키지(100)의 측면쪽으로 상기 히트 스프레더(12)의 사방 측면이 노출된 상태가 되어, 반도체 칩에서 발생하는 열을 방출시키는 역할을 하게 된다.

#### 발명의 효과

이상에서 본 바와 같이, 본 발명에 따른 반도체 패키지 및 그 제조방법에 의하면, 종래에 칩 적층시 사용하던 인터포저를 배제하고, 동일한 크기의 반도체 칩이 얇게 성형된 히트 스프레더를 사이에 두고 적층되므로, 반도체 패키지의 두께를 줄일 수 있다.

또한, 종래의 인터포저를 이용하여 제조된 칩 적층형 반도체 패키지의 제조장비와 공정라인을 그대로 사용 가능하여, 반도체 패키지의 제조비용을 절감할 수 있는 장점이 있다.

또한, 히트 스프레더는 열전도성의 재질이기 때문에, 그 측면이 외부로 노출됨에 따라, 반도체 칩에서 발생하는 열을 용이하게 방출시킬 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

사방 테두리 안쪽 부분에 홀이 형성된 히트 스프레더와;

상기 히트 스프레더의 저면에 홀을 가리면서 부착되고, 중앙에 캐비티가 형성된 인쇄회로기판과;

상기 인쇄회로기판의 캐비티로 노출된 히트 스프레더 저면 중앙부에 접착수단에 의하여 부착된 하부칩과;

상기 하부칩의 본딩패드와 상기 인쇄회로기판의 저면으로 노출된 와이어 본딩용 전도성패턴간에 연결된 제2와이어와;

상기 히트 스프레더의 상면 중앙부에 접착수단에 의하여 부착된 상부칩과;

상기 히트스프레더의 홀을 통하여 노출된 인쇄회로기판 상면의 와이어 본딩용 전도성패턴과 상기 상부칩의 본딩패드간에 연결된 제1와이어와;

상기 상부칩과, 제1와이어와, 히트 스프레더의 상면등을 물딩하고 있는 수지와;

상기 하부칩과, 제2와이어와, 인쇄회로기판 저면의 와이어 본딩용 전도성패턴등을 인캡슐레이션하고 있는 코팅재와;

상기 인쇄회로기판의 저면으로 노출된 볼랜드용 전도성패턴에 부착된 인출단자로 구성된 것을 특징으로 하는 반도체 패키지.

##### 청구항 2.

제 1 항에 있어서, 상기 히트 스프레더에 형성된 홀은 동일한 형상을 갖고며 4개의 영역으로 대칭 분할된 것을 특징으로 하는 반도체 패키지.

##### 청구항 3.

제 1 항에 있어서, 상기 인쇄회로기판의 캐비티의 깊이는 하부칩의 두께보다 크게 형성된 것을 특징으로 하는 반도체 패키지.

##### 청구항 4.

사방 테두리 안쪽 부분에 홀이 대칭 분할되어 형성된 히트 스프레더를 구비하고, 중앙에 캐비티가 형성된 인쇄회로기판을 제공하는 단계와;

상기 히트 스프레더의 저면에 홀을 가리면서 상기 인쇄회로기판을 부착하는 단계와;

상기 히트 스프레더의 상면 중앙부에 상부칩을 접착수단을 사용하여 부착하는 단계와;

상기 히트 스프레더의 홀을 통하여 노출된 인쇄회로기판 상면의 와이어 본딩용 전도성패턴과, 상기 상부칩의 본딩패드간을 제1와이어로 본딩하는 단계와;

상기 상부칩과, 제1와이어와, 히트 스프레더의 상면과, 인쇄회로기판 상면의 와이어 본딩용 전도성패턴등을 수지로 몰딩하는 단계와;

상기 인쇄회로기판의 캐비티를 통하여 노출된 히트 스프레더의 저면 중앙부에 접착수단을 사용하여 하부칩을 부착하는 단계와;

상기 인쇄회로기판의 저면으로 노출된 와이어 본딩용 전도성패턴과, 상기 하부칩의 본딩패드간을 제2와이어로 본딩하는 단계와;

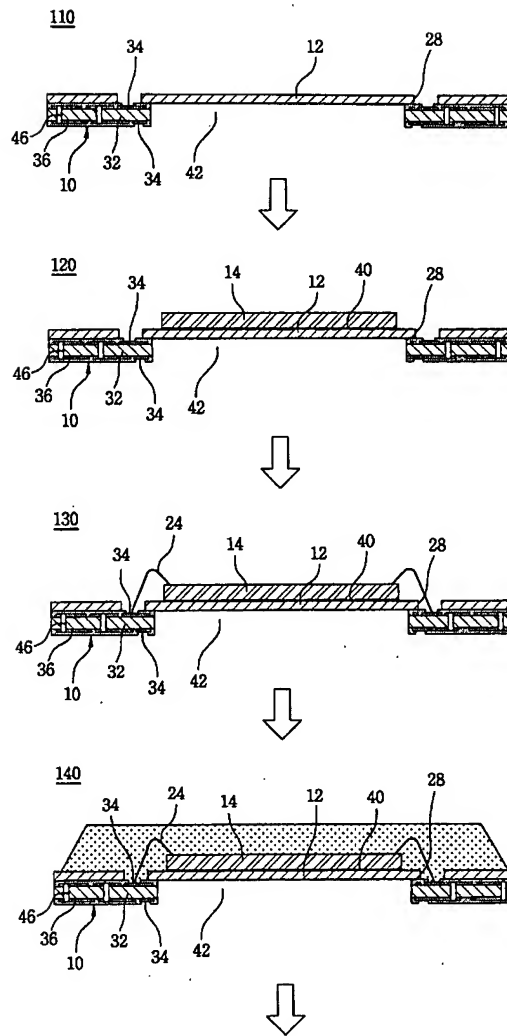
상기 하부칩과, 제2와이어와, 인쇄회로기판의 저면으로 노출된 와이어 본딩용 전도성패턴등을 코팅재로 인캡슐레이션하는 단계와;

상기 인쇄회로기판의 저면으로 노출된 볼랜드용 전도성패턴에 인출단자를 부착하는 단계로 이루어진 것을 특징으로 하는 반도체 패키지 제조방법.

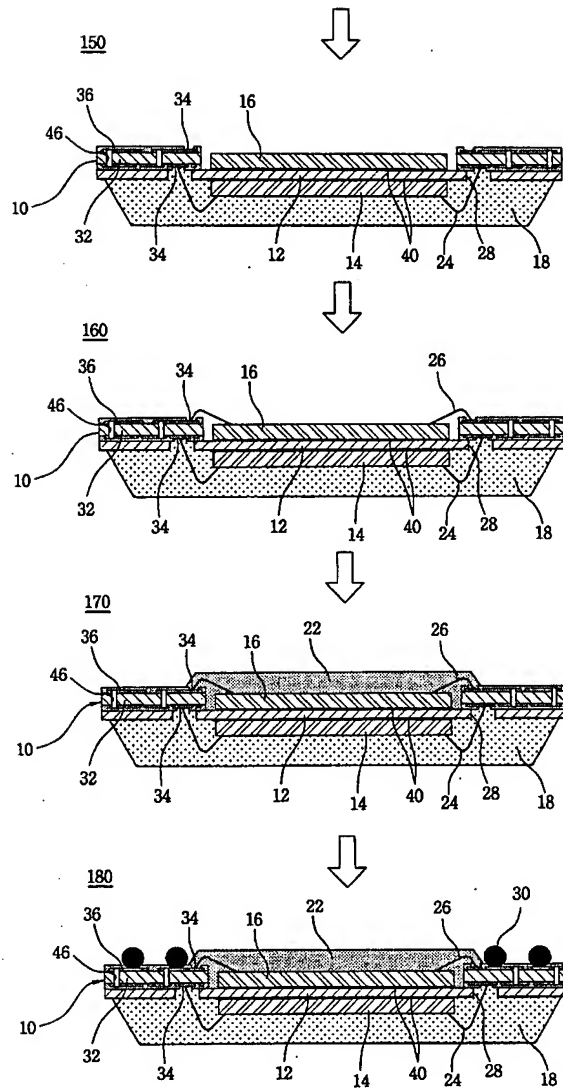
## 청구항 5.

제 4 항에 있어서, 상기 인쇄회로기판의 캐비티를 통하여 노출된 상기 히트 스프레더의 저면 중앙부에 접착수단을 사용하여 하부칩을 부착하는 단계가 상기 히트 스프레더의 상면 중앙부에 상부칩을 부착하는 단계 이전에 진행될 수 있도록 한 것을 특징으로 하는 반도체 패키지 제조방법.

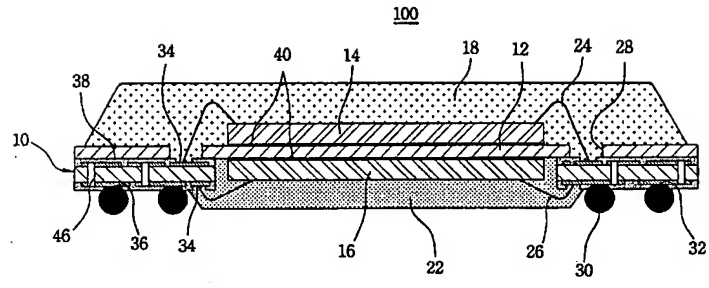
도면 1a



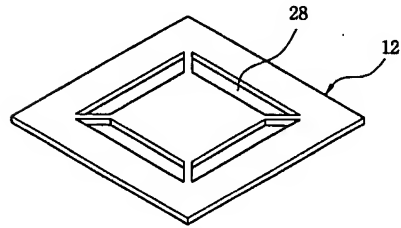
도면 1b



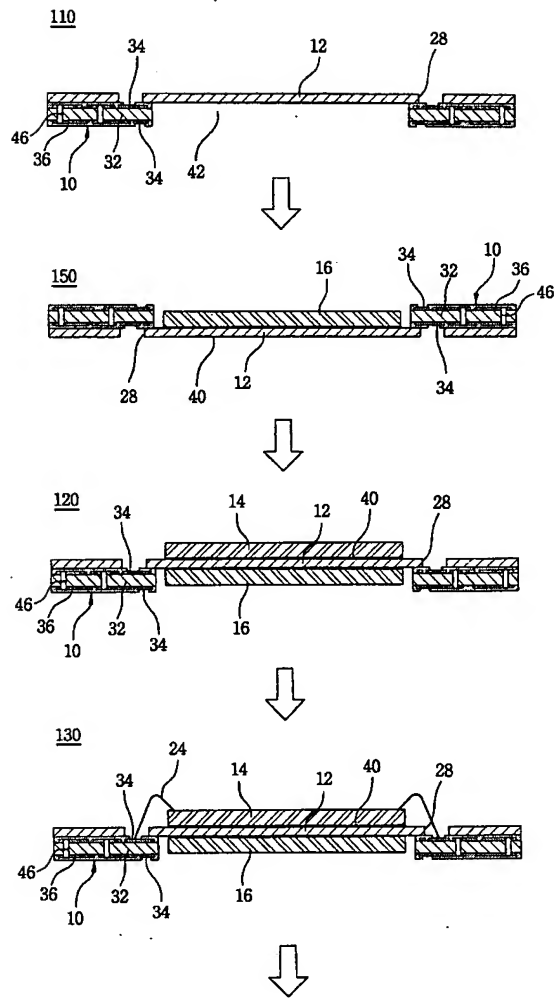
도면 2



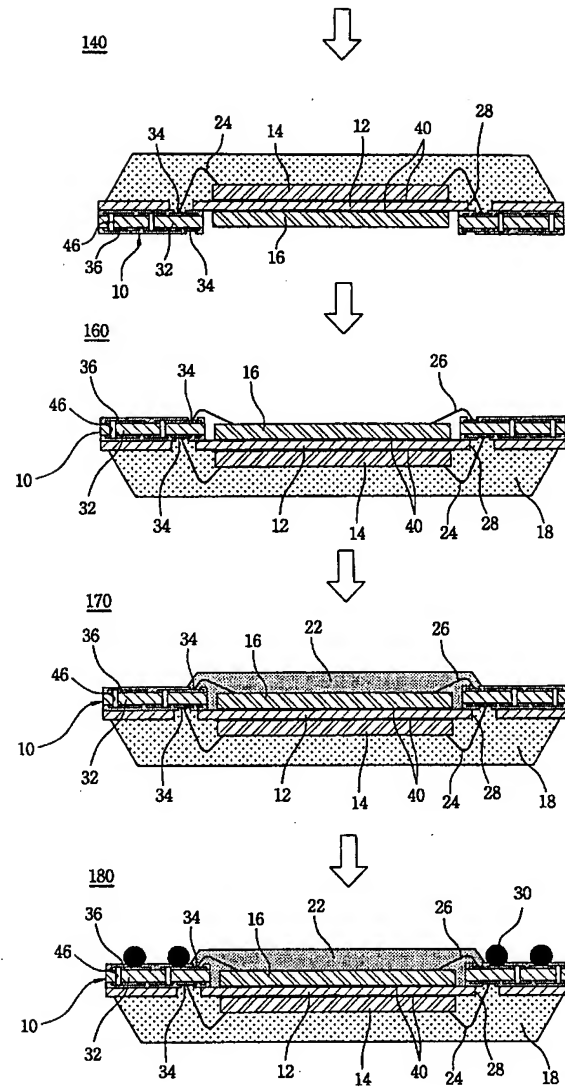
도면 3



도면 4a



도면 4b



도면 5

